

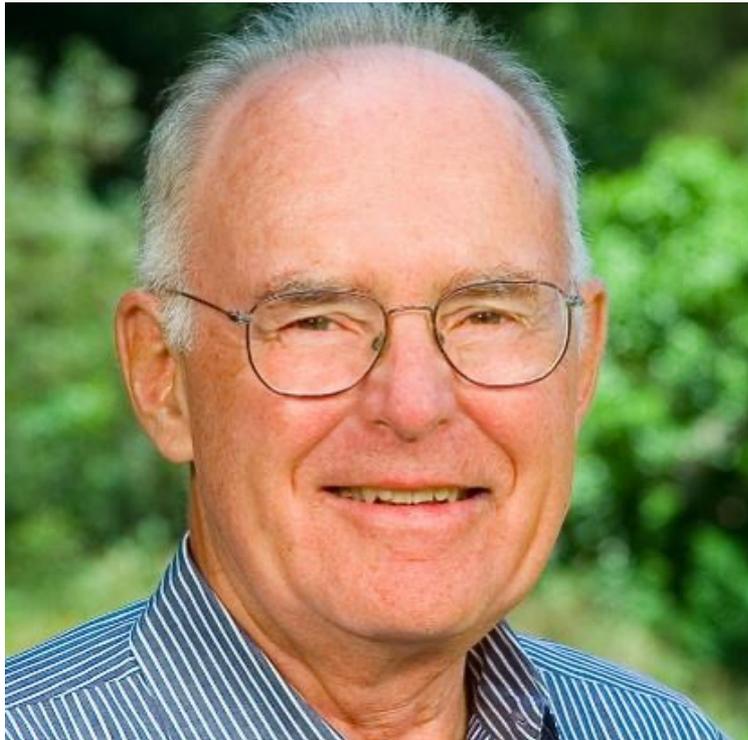


# Systemes d'exploitation

## Gestion de la Mémoire

# Gordon Moore

---



- Américain
- Intel
- La loi de Moore



- Mémoire
- Adresse de mémoire
- Espace d'adressage
- Protection de la mémoire
  - Allocation contiguë
  - Pagination



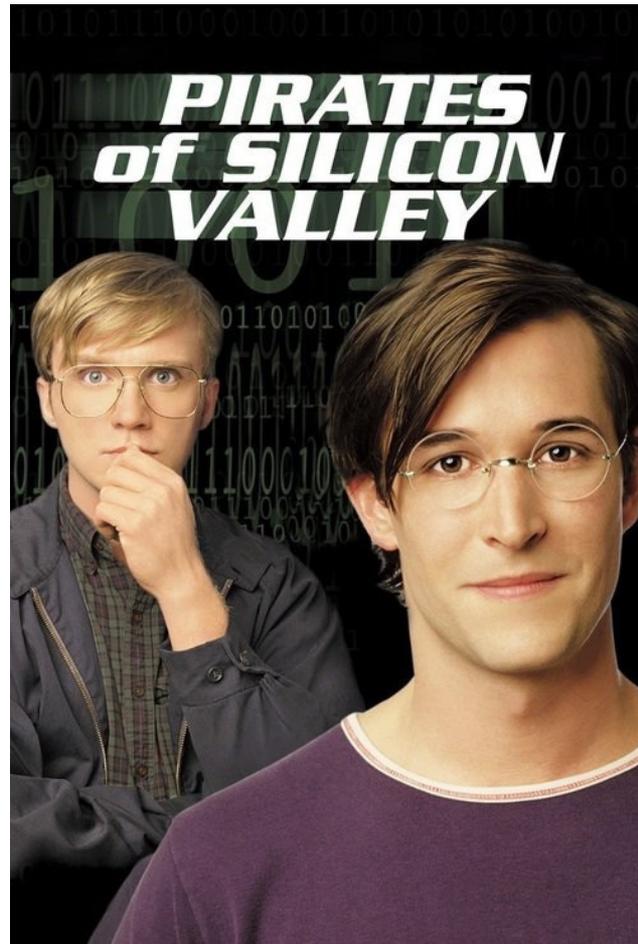
# Bibliographie pour aujourd'hui

---

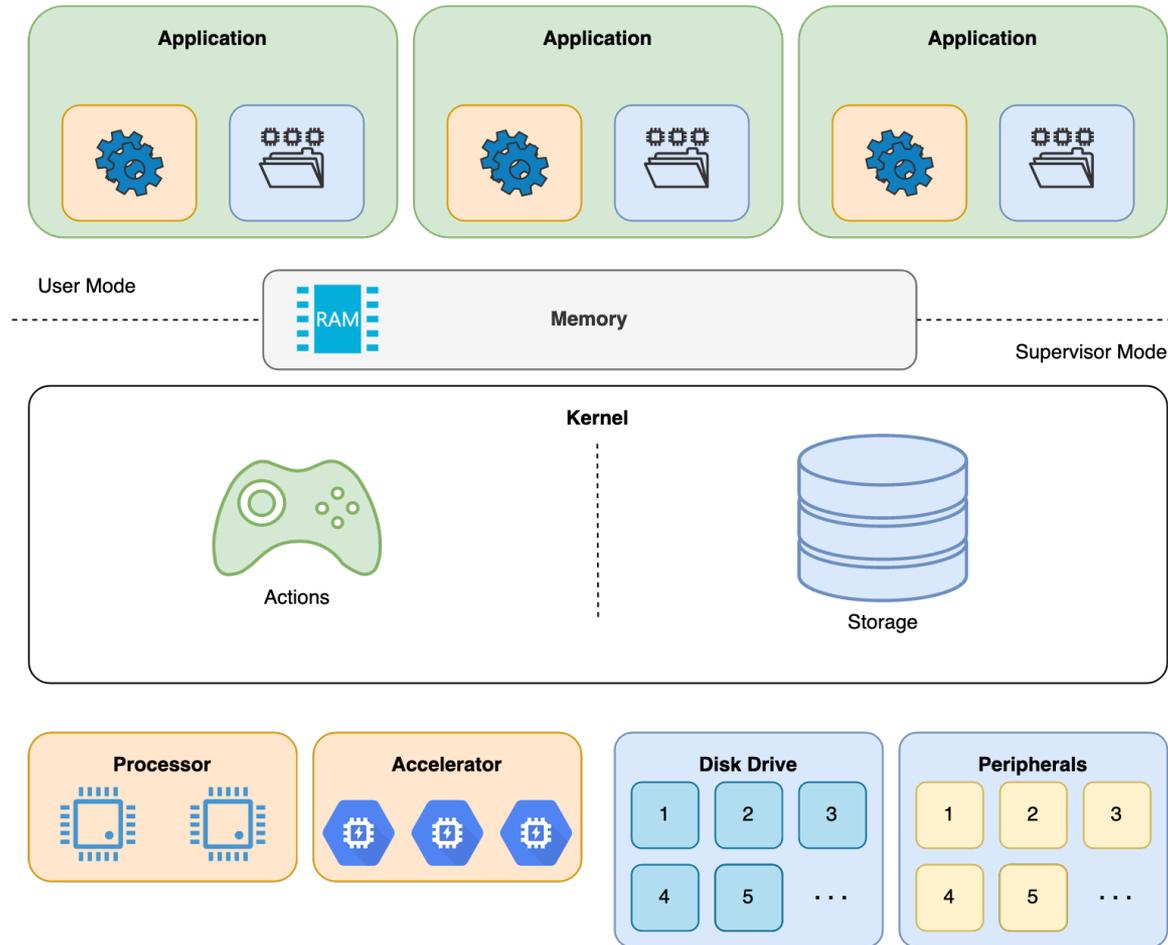
- Modern Operating Systems
  - Chapitre 4
    - 4.1
    - 4.3
    - 4.8
- Operating Systems Concepts
  - Chapitre 8
    - 8.1 – 8.5

# Pirates of Silicon Valley

---



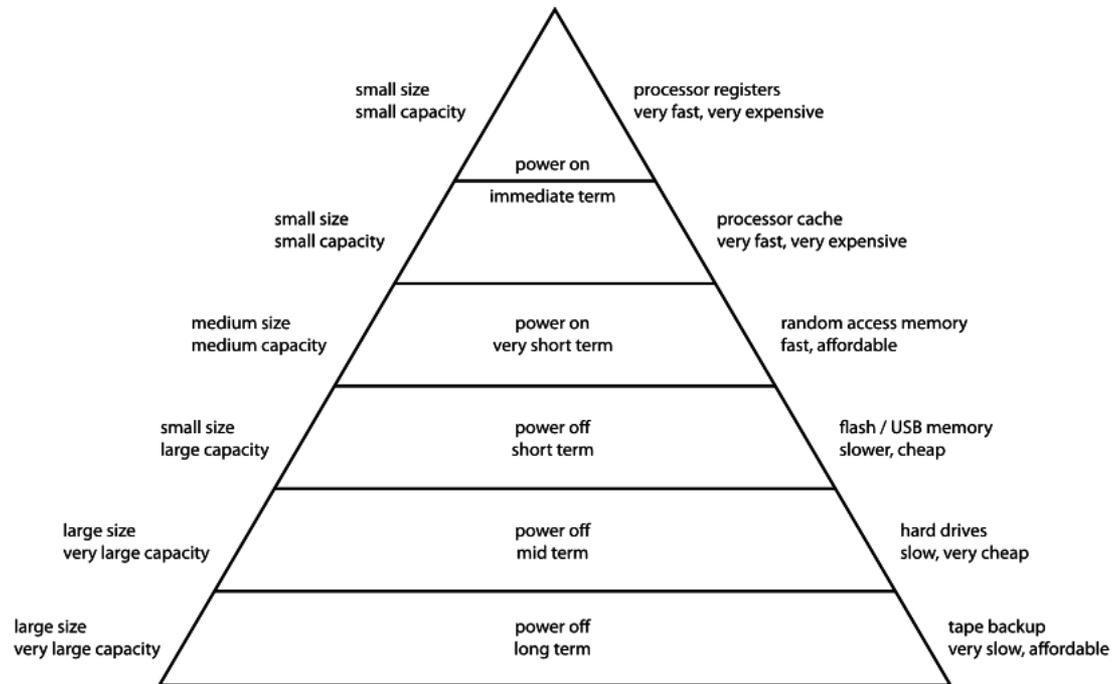
# Idée General



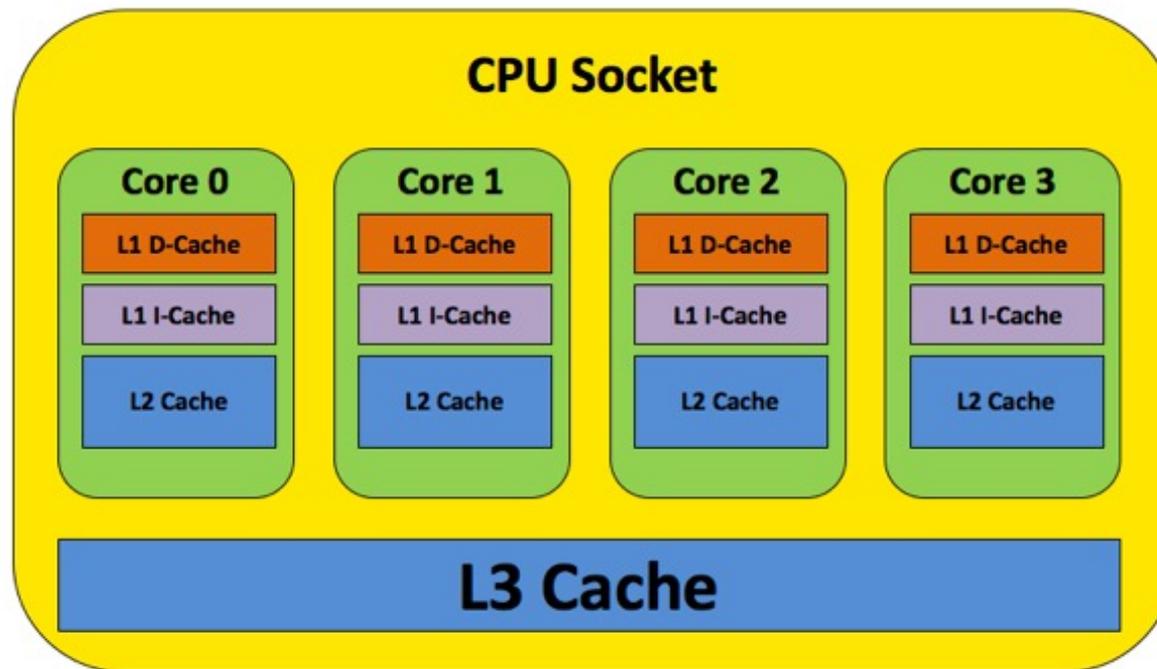
# LA MEMOIRE

# Hiérarchie de la mémoire

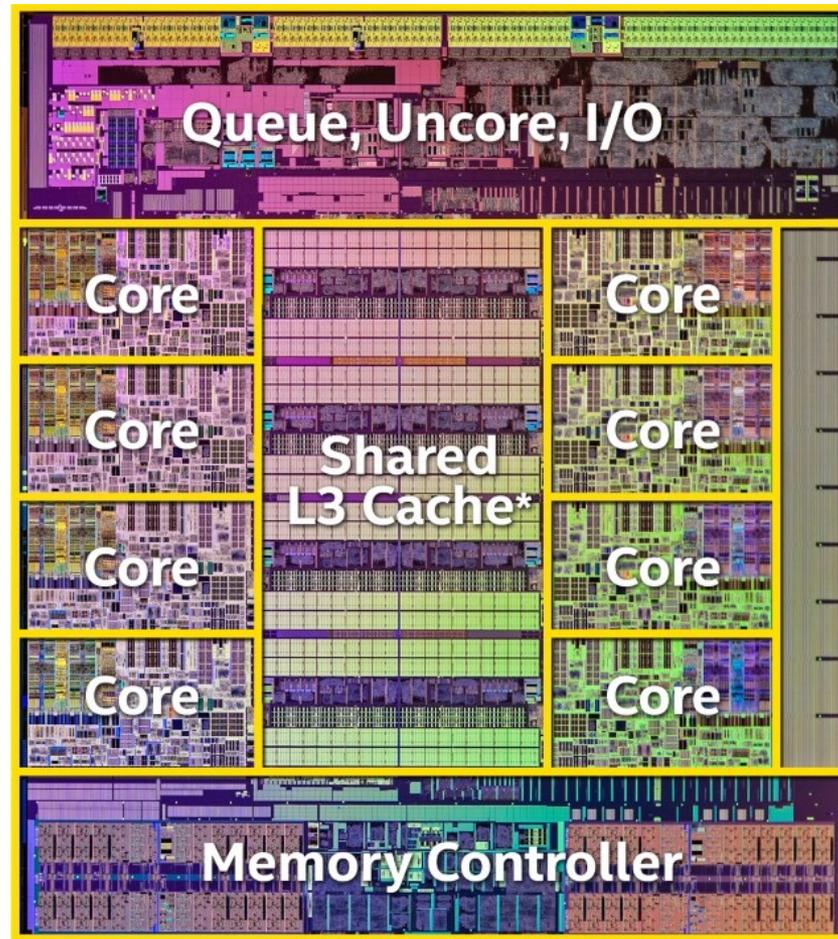
## Computer Memory Hierarchy



# Mémoire Cache



# Mémoire Cache



# Paramètres de mémoire cache

---

- **cache hit**
  - numéro de fois quand les données sont trouve en la mémoire cache
- **cache miss**
  - numéro de fois quand les données ne sont pas trouve en la mémoire cache
- cache hit / cache miss

# ADRESSE DE MÉMOIRE

# Adresse de mémoire

---

- Un numéro
- Dépend de nombre de bits
  - 4 octets sur un CPU 32 bits
  - 8 octets sur un CPU de 64 bits
- Adresse maximale
  - $2^n$  bytes
    - n numéro de bits

# ESPACE D'ADRESSAGE

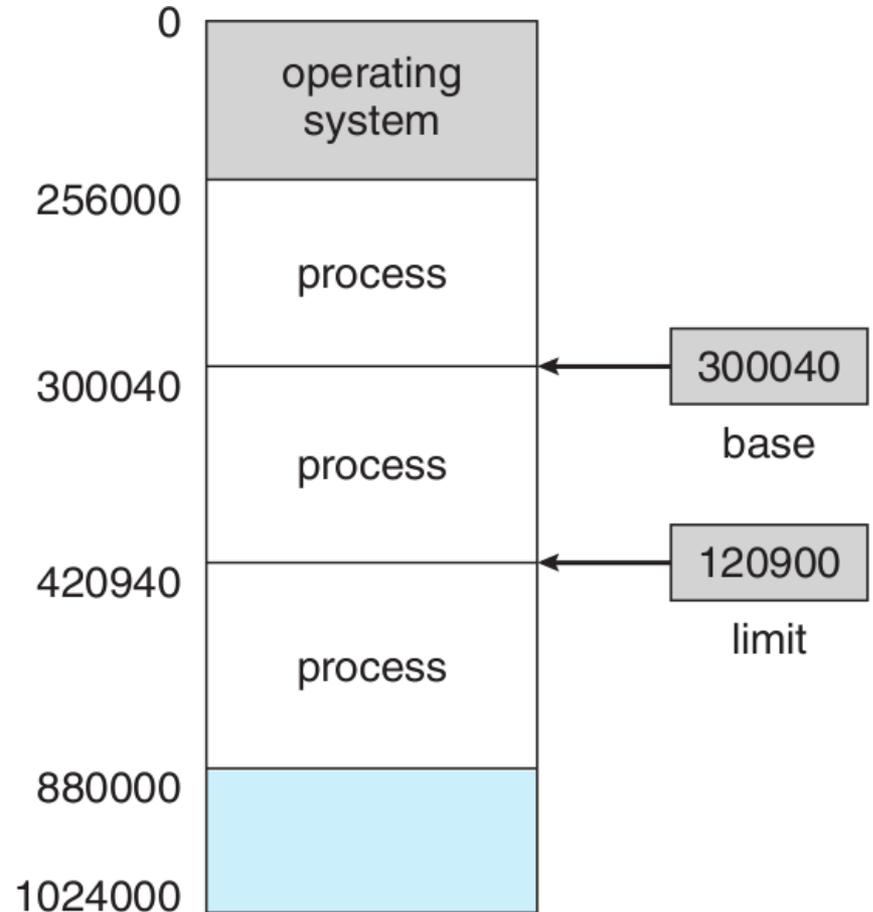
# Espace d'adressage

---

- Toutes les adresses de mémoire disponible pour un processus
  - Ne doit pas nécessairement de commencer a 0

# Systeme ideale

- chaque processus a sa partie de la memoire
- Un processus peut acceder seulement sa partie de la memoire
- L'espace de noyau (SE) doit etre protege
- Quel est l'espace d'adressage?



# Modes de fonctionnements (x86)

---

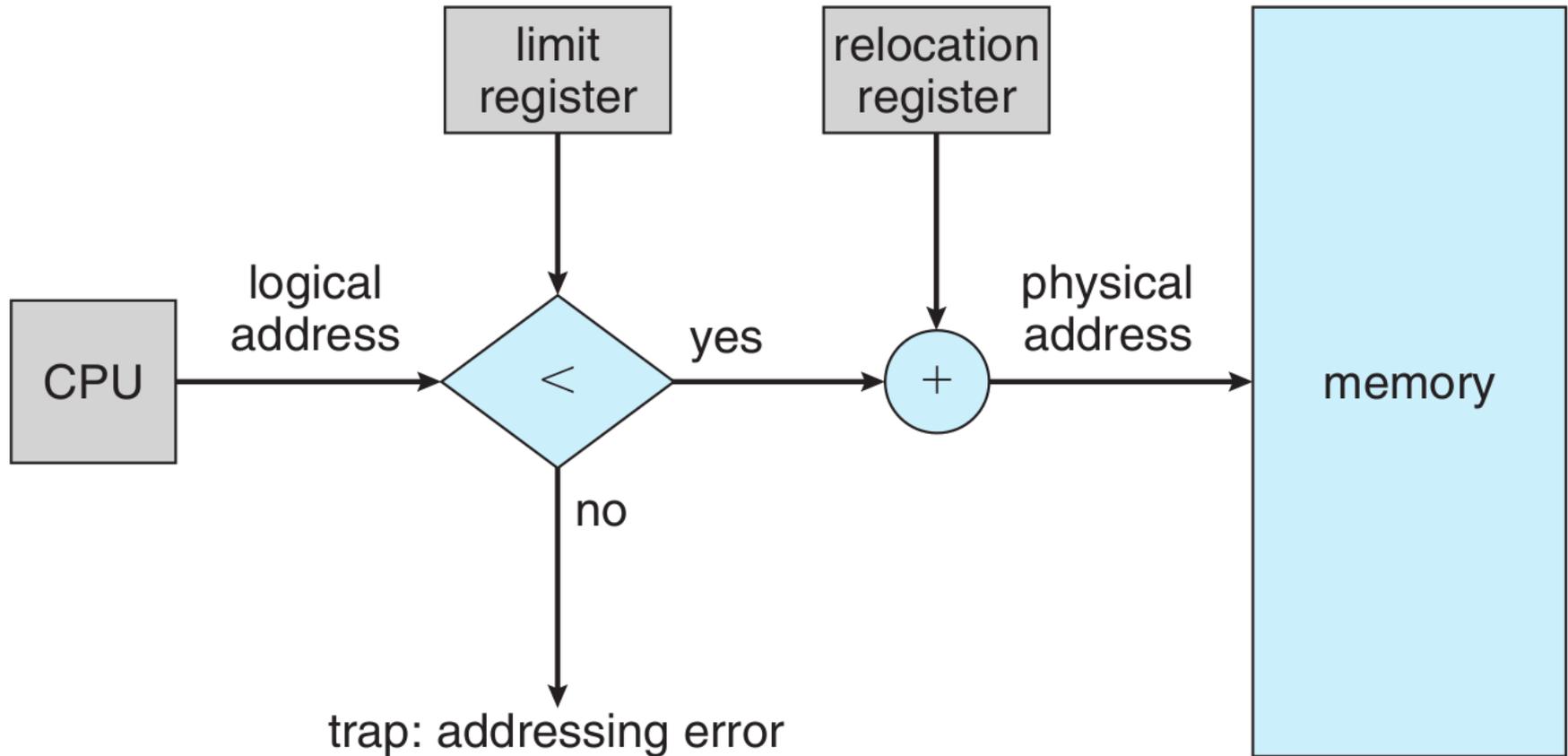
- Real Mode
  - L'espace d'adressage c'est tout la mémoire
  - sans protection
- Protected Mode
  - L'espace d'adressage est limite par le CPU (MMU)
  - Protection disponible

# Protection de la mémoire

---

- Memory Management Unit (MMU)
  - Adresse physique (après MMU)
  - Adresse logique (avant MMU)
  
- Possibilités
  - Allocation contiguë
  - Segmentation
  - Pagination

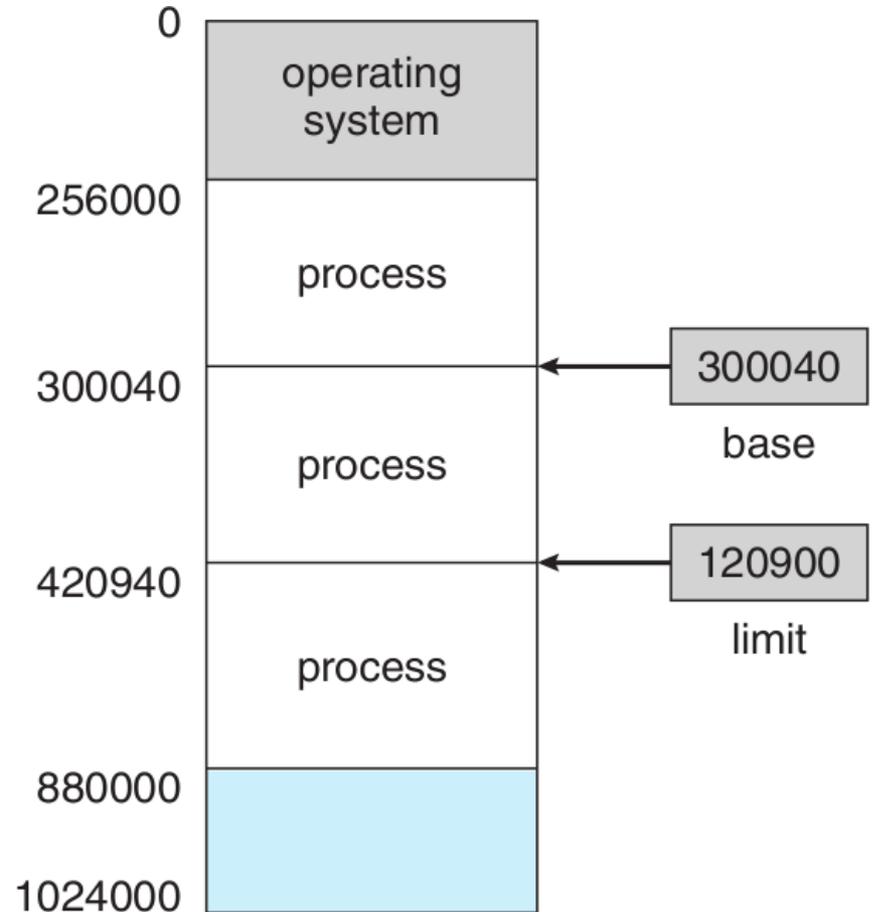
# Protection de la mémoire



# MÉMOIRE CONTIGUË

# Mémoire Contiguë

- Simple de implémenter
- Estimation de taille pour chaque processus
- Fragmentation
  - C'est possible de n'avoir pas de l'espace

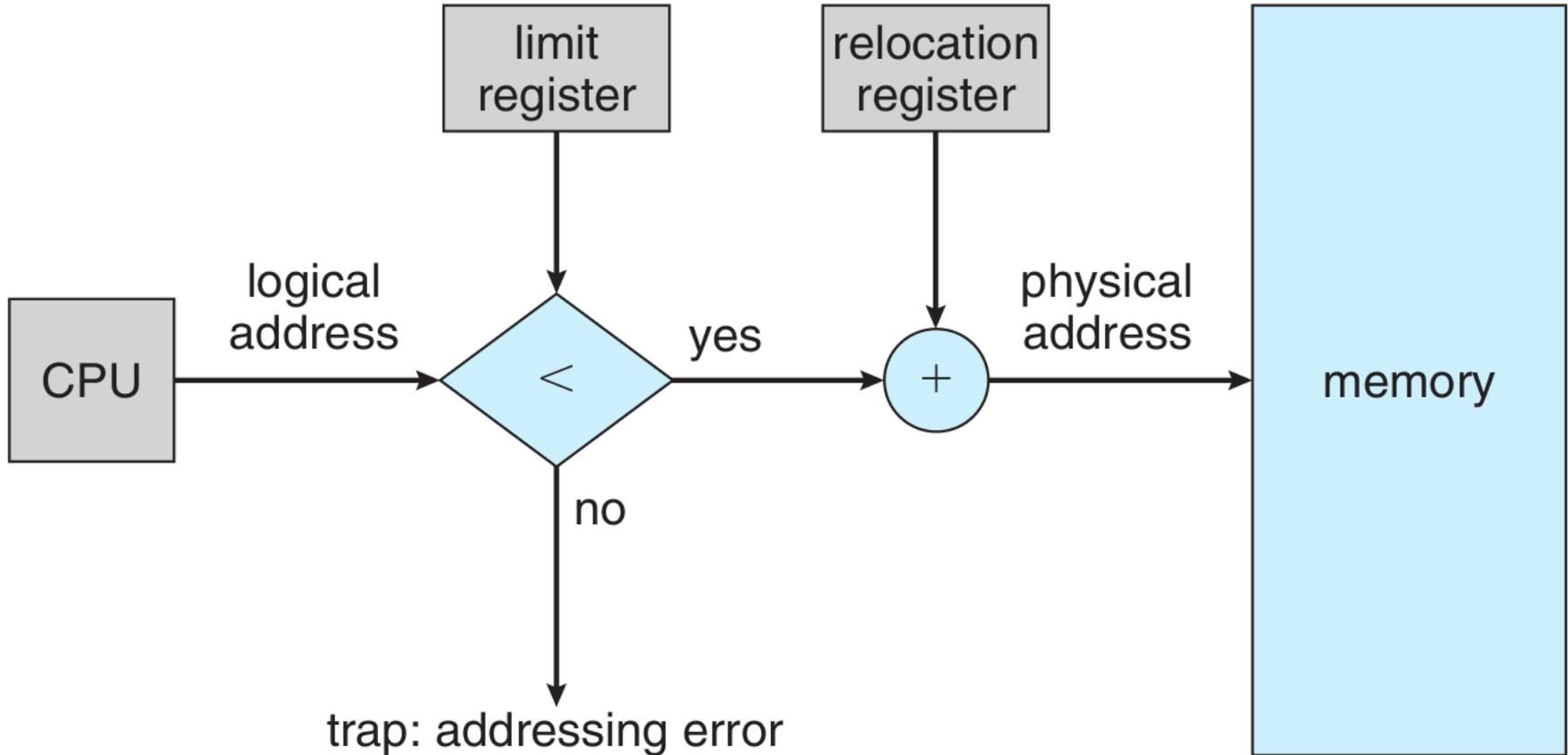


# Implémentation

---

- Deux registres
  - relocalisation
  - limit
  
- Adresse
  - adresse physique = adresse logique + relocalisation
  - adresse logique  $\leq$  limit

# Implémentation



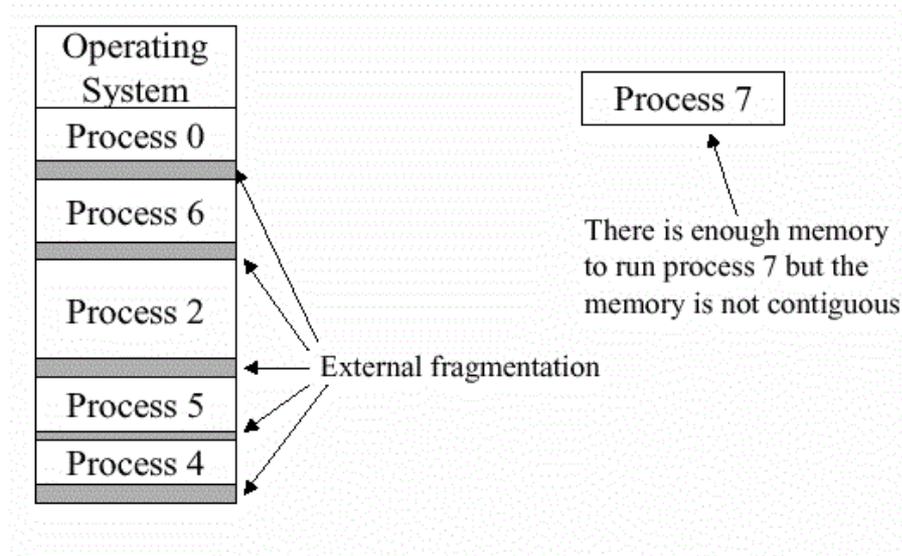
# Algorithmes d'allocation

---

- **First Fit**
  - Premier espace disponible
- **Best Fit**
  - L'espace disponible plus petite
- **Worst Fit**
  - L'espace disponible plus grande

# Fragmentation

- nous avons de la mémoire disponible mais pas dans un seul espace contigu
  - solution: défragmentation



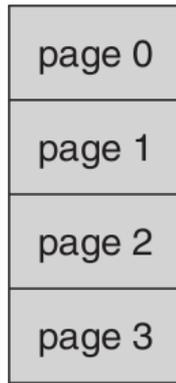
# PAGINATION

# Pagination

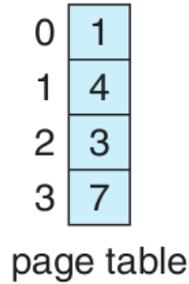
---

- La mémoire est divisée en pages
  - en général 4 KB
- Pages
  - Virtuelles (pages)
  - Physique (cadres - frames)
- Tableau de pages
  - un processus a un tableau de pages
- Adresse
  - $\text{adresse physique} = \text{page index} + \text{décalage}$

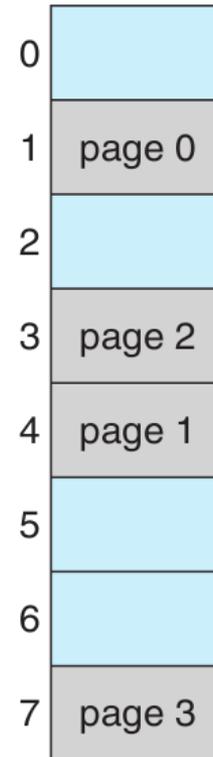
# Tableau de pages



logical  
memory

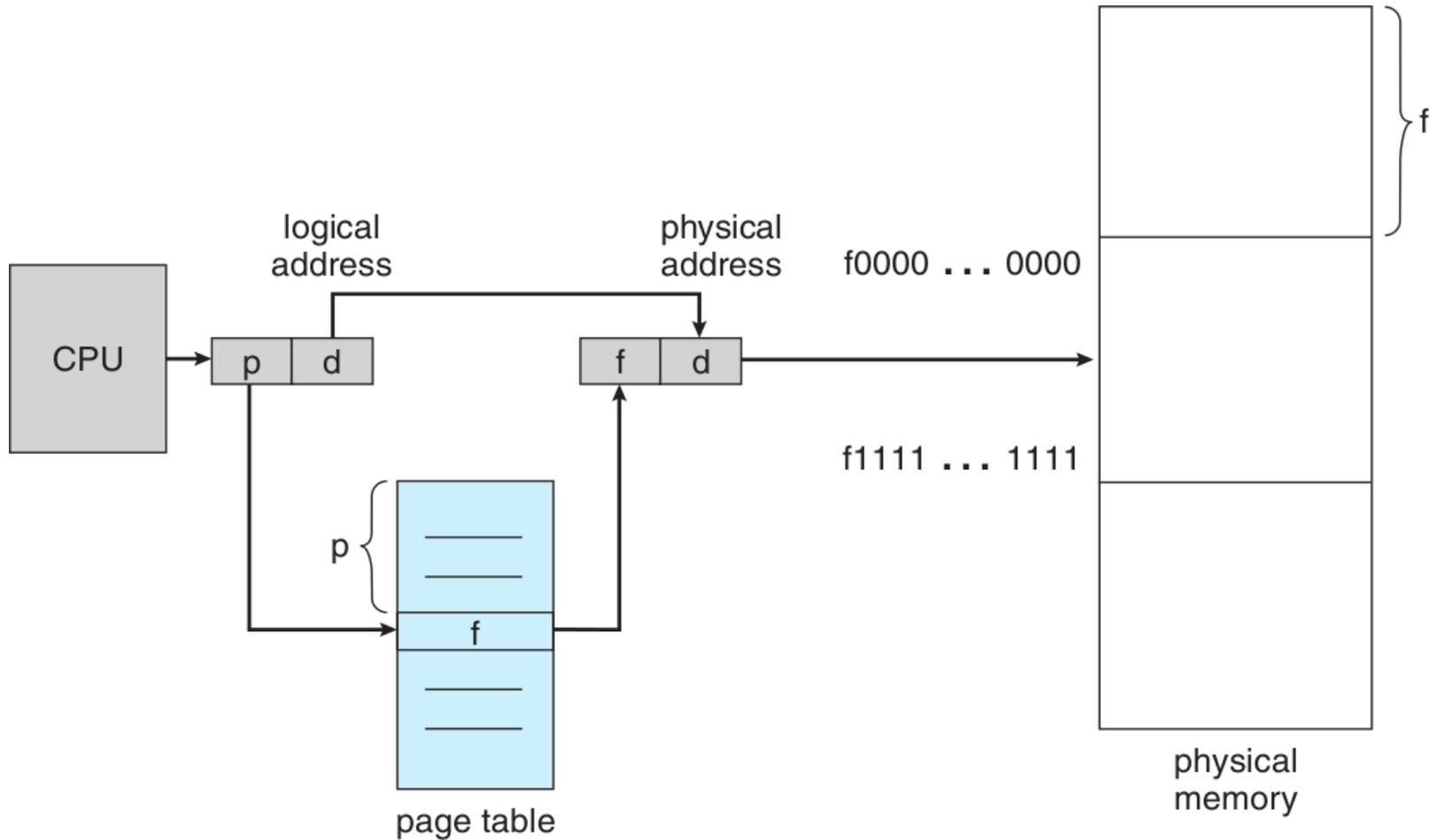


frame  
number



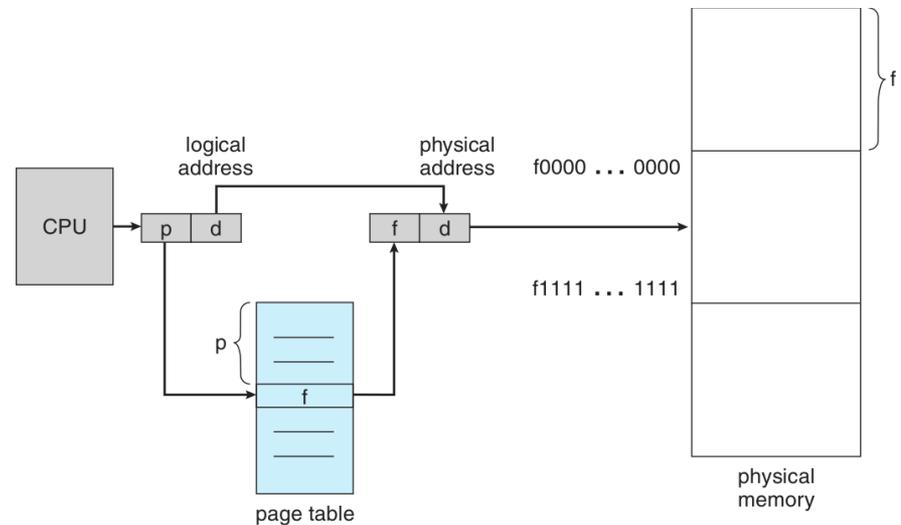
physical  
memory

# Transformation d'adresse



# Transformation d'adresse

- Pour accéder une adresse
  - accès au tableau (en mémoire)
  - accès en mémoire
  
- Double accès
  - lente

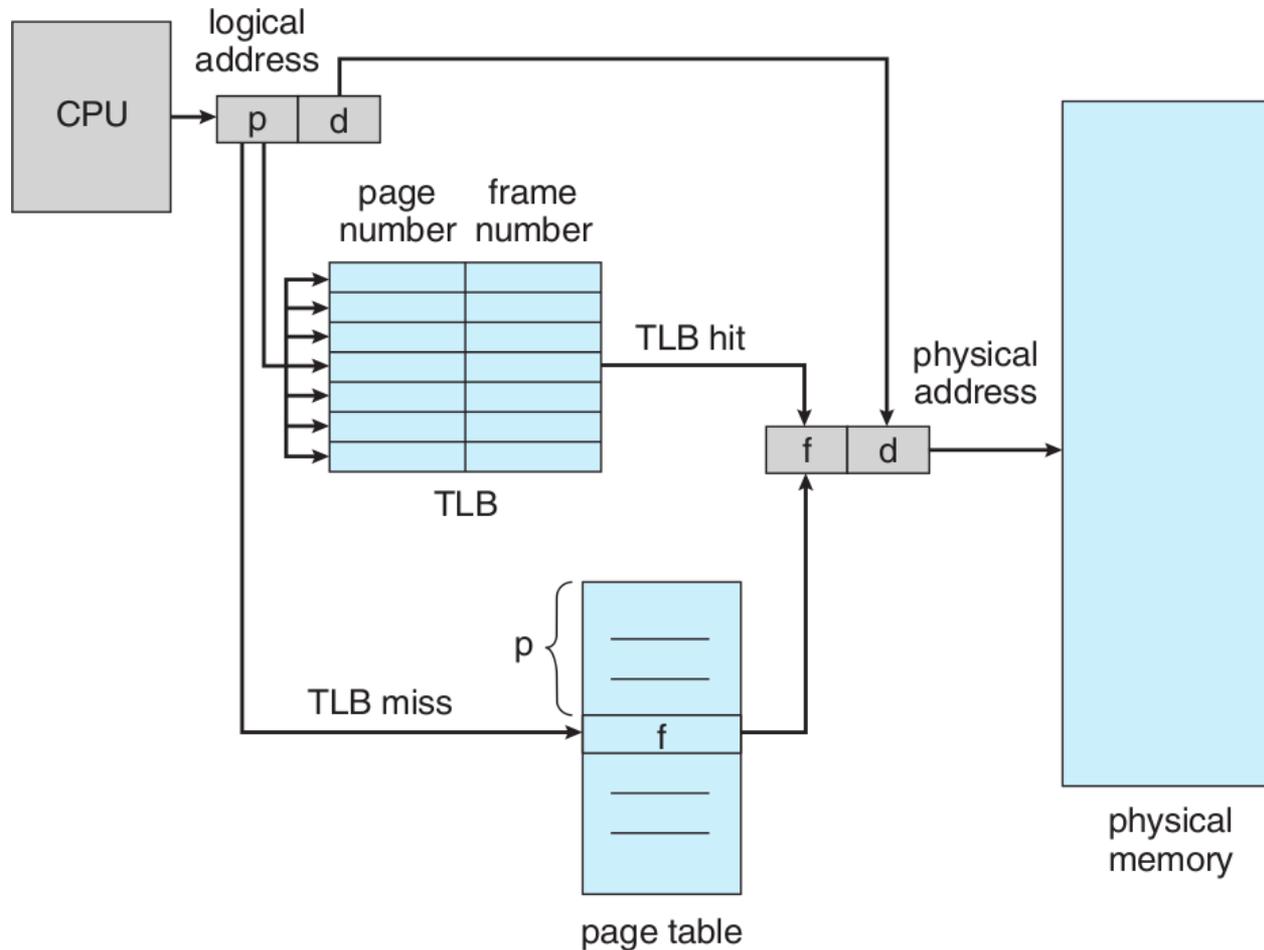


# Translation Lookaside Buffer (TLB)

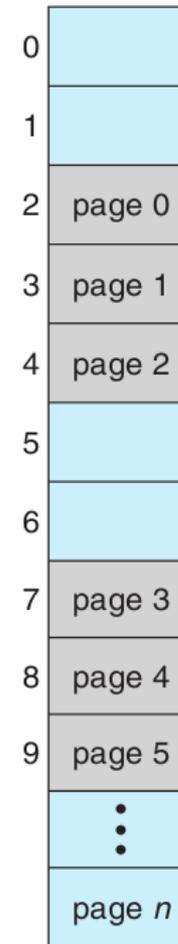
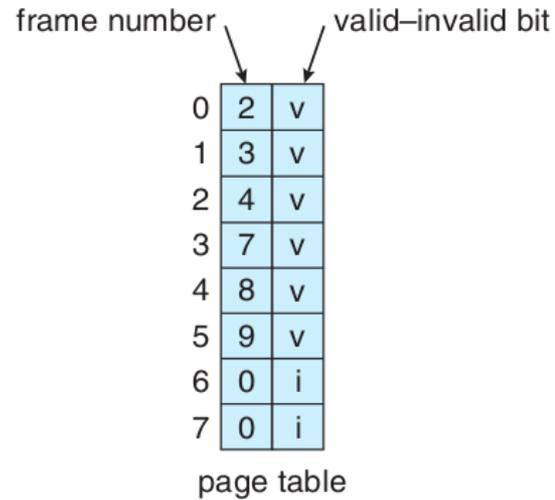
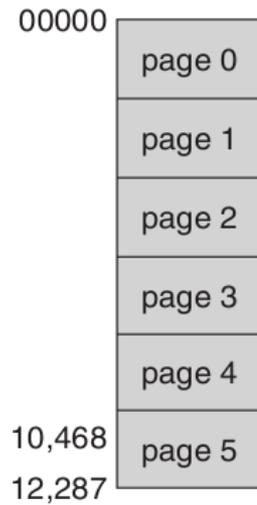
---

- Mémoire cache spécialisé
  - 256 entrées
- Enregistre par processus
- Changement de contexte
  - change le tableau de pages curent
  - TLB flush (sauf la partie de noyau)

# Transformation d'adresse avec TLB



# Protection



# Entrée de tableau de pages

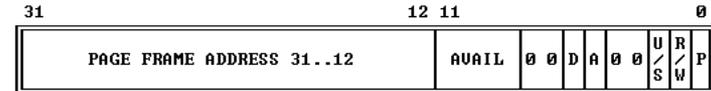
- Numéro de cadre

- Droit d'accès

- aucune
- lire
- écrire

- Valable

Figure 5-10. Format of a Page Table Entry

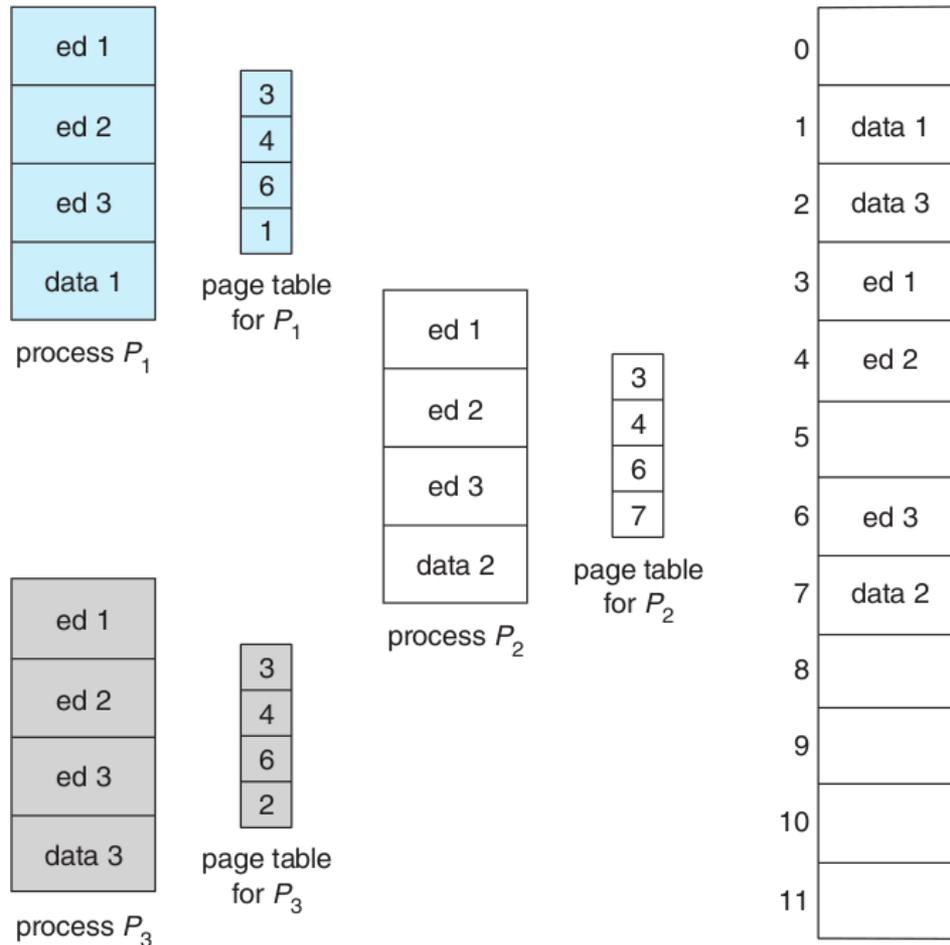


P - PRESENT  
R/W - READ/WRITE  
U/S - USER/SUPERVISOR  
D - DIRTY  
AVAIL - AVAILABLE FOR SYSTEMS PROGRAMMER USE

NOTE: 0 INDICATES INTEL RESERVED. DO NOT DEFINE.

exemple sur x86

# Partage de mémoire

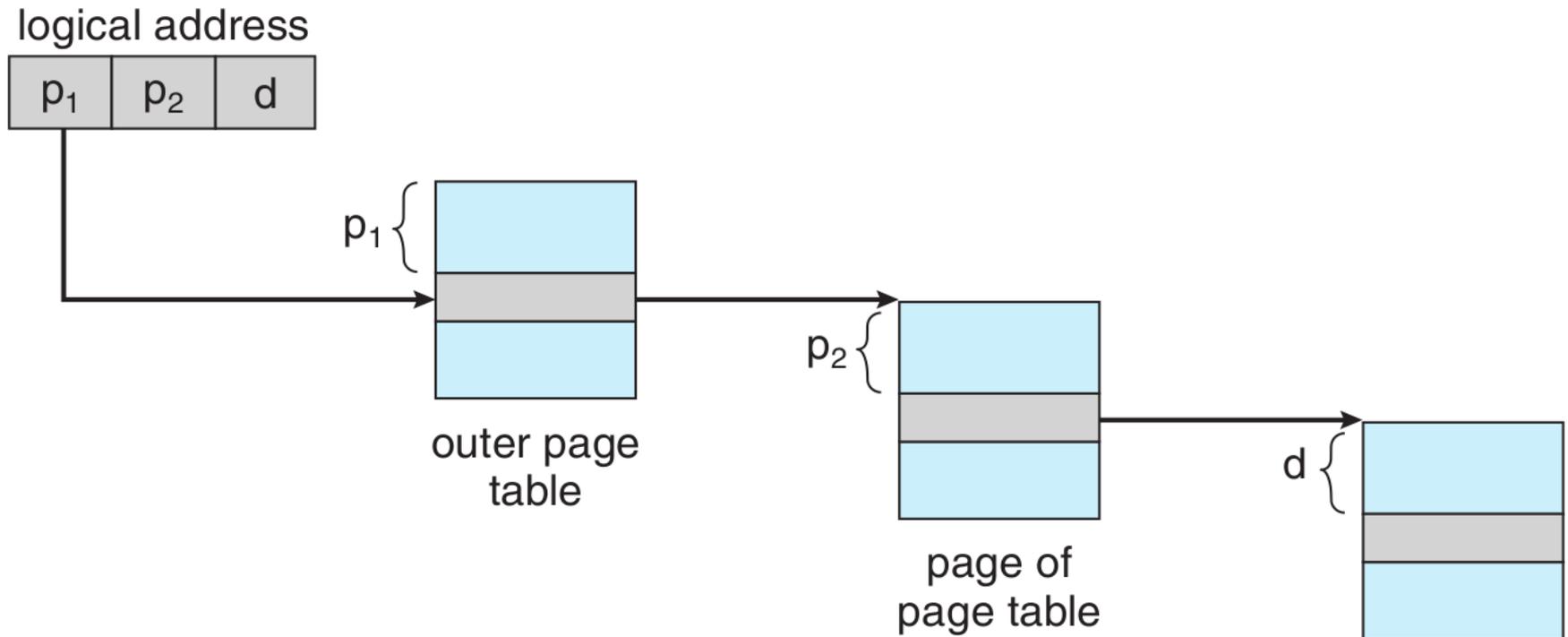


# Taille de tableau de memoire

---

- 32 bits - 4 GB Mémoire
  - taille de page = 4 KB
  - $2^{20}$  pages de mémoire
  - entrée de tableau de mémoire = 4 B
- Taille  $4 * 2^{20} = 4 \text{ MB}$  / processus
- 64 bits?

# Pagination hiérarchique



- Adresse logique
- Adresse physique
- Espace d'adressage
- Load
- Store
- Register Memory
- Mémoire Cache
- Real Mode
- Protected Mode
- Mémoire contiguë
- Fragmentation
- Base
- Limit
- Sélecteur
- Décalage
- Pagination
- TLB
- Tableau de pages

# Questions

---

